
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100219523 B1
(43)Date of publication of application: 16.06.1999

(21)Application number: 1019970000530
(22)Date of filing: 10.01.1997

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: LEE, GYU HYEON

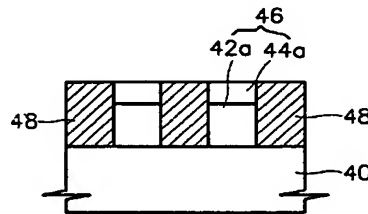
(51)Int. Cl H01L 21/76

(54) SEMICONDUCTOR DEVICE HAVING HIGH DEVICE ISOLATION ABILITY AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device and a method for manufacturing the same are to prevent a device isolation film from being damaged and to achieve a high integration of a semiconductor device.

CONSTITUTION: A method for fabricating a semiconductor device having a high device isolation ability comprises the steps of: defining a field region of a semiconductor substrate on the semiconductor substrate(40); and forming a multilayer insulating film patterns(46) so that an upper material film thereof has a better etching selective ratio than a lower material film thereof; removing a natural oxide film from the entire surface of the semiconductor substrate; and forming a silicon layer pattern(48) on the entire surface of the semiconductor substrate between the multilayer insulating film patterns at a height of the multilayer insulating film patterns. The multilayer insulating film pattern consists of the first insulating film pattern and the second insulating film pattern formed on the first insulating film pattern.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19970110)
Final disposal of an application (registration)
Date of final disposal of an application (19990528)
Patent registration number (1002195230000)
Date of registration (19990616)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특1998-065507
H01L 21/76 (43) 공개일자 1998년10월15일

(21) 출원번호 특1997-000530
(22) 출원일자 1997년01월10일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이규현
경기도 수원시 팔달구 원천동 35 주공아파트 108-1402호
(74) 대리인 이영필, 권석홍, 노민식

심사청구 : 있음

(54) 높은 소자분리능을 갖는 반도체장치 및 그 제조방법

요약

본 발명은 높은 소자분리능을 갖는 반도체장치 및 그 제조방법에 관해 개시한다.

본 발명에 의한 다층 절연막 패턴을 소자분리막으로 구비하는 반도체장치는 종래 기술에 의한 반도체장치와는 달리 반도체기판에 소자분리막으로서 필드산화막을 구비하는 것이 아니라 반도체기판 상에 적층된 절연막 패턴들로 소자분리막을 구성한다. 특히, 소자분리막의 맨 윗층은 그 아래 층에 있는 절연막이나 인접되어 활성영역으로 사용되는 실리콘층에 비해 식각선택비가 우수한 절연막을 사용하므로 콘택미스 얼라인에 의해 소자분리막의 일부가 포함되는 영역상에 콘택홀이 형성되더라도 소자분리막이 손상되는 것을 방지할 수 있다. 따라서 소자분리막의 절연성이 악화되는 것을 방지할 수 있음은 물론, 소자분리막을 통한 누설전류의 발생을 예방할 수 있다. 또한, 콘택홀 형성공정전에 있을 수 있는 세정공정이나 게이트 적층물의 식각공정에서 소자분리막의 일부영역에 심(seam)이나 합물부분이 형성되는 것을 방지할 수 있고 따라서 합물된 부분에 스트링어가 형성되는 것도 방지할 수 있다.

도표도

도6

명세서

도면의 간단한 설명

도 1 및 도 2는 각각 종래 기술에 의한 소자분리막을 나타낸 도면들이다.

도 3 내지 도 5는 종래 기술에 의한 소자분리막에 있을 수 있는 손상을 나타낸 도면들이다.

도 6은 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치를 나타낸 단면도이다.

도 7 내지 도 9는 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치를 제조하는 방법을 단계별로 나타낸 도면들이다.

도 10은 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치에 형성된 미스얼라인 콘택을 나타낸 도면이다.

도면의 주요부분에 대한 부호설명

40:반도체기판, 42:제1 절연막,
44:제2 절연막, 46:다층 절연막 패턴,
50:층간절연막, 52:콘택홀.

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 높은 소자분리능을 갖는 반도체장치 및 그 제조방법에 관한 것으로서 특히, 반도체기판상에 형성되며 실리콘층에 대해 우수한 식각선택비가 있으며 상층부로 갈수록 식각선택비가 우수해지는 다층 절연막 패턴을 소자분리막으로 하는 반도체장치 및 그 제조방법에 관한 것이다.

반도체장치의 고집적화에 따라 기판의 단위면적당 형성되는 반도체소자의 숫자는 급격히 증가되고 있다.

따라서 반도체소자들간의 전기적 절연성을 계속 유지하는 것이 매우 중요하게 되었다.

반도체장치의 제조공정에서 기판에 또는 기판상에 형성되는 소자들의 분리수단으로는 기판의 필드영역에 형성되는 필드산화막을 이용하고 있다.

초기에는 이러한 필드산화막으로 도 1에 도시된 바와 같이 로코스(LOCOS: Local Oxidation of Silicon)방식으로 형성되는 필드산화막(14)을 이용하였다. 로코스 방식을 이용한 필드 산화막(14)이 형성되는 과정을 보면, 먼저, 반도체기판(10)의 전면에 나이트라이드막(12)을 형성한다. 이어서 나이트라이드막(12) 상에 기판(10)의 필드영역으로 사용될 부분에 대응하는 부분의 나이트라이드막(12)을 노출시키는 감광막 패턴(도시하지 않음)을 형성한다. 곧, 감광막 패턴이 형성되어 있는 부분의 아래에 있는 기판(10)은 활성영역이 된다. 이러한 감광막 패턴을 식각마스크로 사용하여 상기 나이트라이드막(12)을 패터닝 하면 기판(10)의 필드영역으로 사용될 부분이 노출된다. 계속해서 감광막 패턴을 제거한 결과물을 산소분위기에서 열처리하면 기판(10)의 노출된 부분에 실리콘 산화막(SiO_2)(14)이 성장된다. 이 실리콘 산화막(14)이 바로 로코스방식에 의한 필드산화막인데, 도 1에서 볼 수 있는 바와 같이 필드산화막이 기판(10)이 노출된 영역에만 형성되는 것이 아니라 측방향으로 나이트라이드막(12)을 리프팅시키면서 기판(10)의 활성영역에도 일부 필드산화막이 형성된다. 로코스 방식에 의한 필드산화막(14)에서 기판(10)의 활성영역을 침범한 부분(16)은 통상 버즈 비크(bird's beak)라고 불리어진다. 버즈 비크(16)는 기판(10)에 정의 되어 있는 활성영역을 줄이고 필드영역을 넓히는 것이 되므로 반도체장치의 고 집적화에서 로코스 방식에 의한 필드산화막을 사용할 수 없는 중요한 원인이 된다.

따라서 256MDRAM 이상의 집적도를 갖는 반도체장치에서는 로코스방식에 의한 필드산화막을 사용하기가 어렵게 되었고, 뒤를 이어서 STI(Shallow Trench Isolation)방식으로 형성되는 필드산화막이 사용되고 있다. STI에 의한 필드산화막은 도 2에 도시된 바와 같이 기판(18)에 소정의 깊이를 갖는 트렌치(20)에 채워진 산화막(22)이다.

STI방식으로 형성되는 필드산화막을 제조하는 방법을 간략히 기술해 보면, 먼저 반도체기판(10)에 나이트라이드막을 형성하고 그 전면에는 고온 열 산화막(HTO : High Temperature Oxide)을 형성한다. HTO 막 상에는 기판(18)의 필드영역에 대응하는 부분을 노출시키는 감광막 패턴을 형성하고 이 감광막 패턴을 식각마스크로 사용하여 HTO 막과 나이트라이드막의 노출된 부분을 순차적으로 제거한다. 이어서 감광막 패턴을 제거하고 HTO 와 나이트라이드막이 제거된 부분의 기판을 소정의 깊이로 식각하여 트렌치(20)를 형성한다. 이어서 패터닝된 HTO 막과 나이트라이드막을 제거한 다음 트렌치(20)를 채우는 산화막을 기판(18)의 전면에 형성한다. 기판(18)에 형성된 산화막을 에치 백하여 제거하면 트렌치에만 산화막(22)이 남게되고 STI방식에 의한 필드산화막이 형성된다.

STI방식에 의해서 필드산화막을 형성하는 경우 로코스 방식에 의한 필드산화막을 형성하는 것 보다 기판에서 필드영역이 차지하는 영역을 최소화하여 기판의 단위면적당 형성할 수 있는 반도체소자들의 수를 더 높일 수 있다. 하지만, STI방식을 이용하여 필드산화막을 형성하는 경우 몇가지 문제가 발생된다. 구체적으로 설명하면, 트렌치에 산화막을 채우는 과정에서 도 3에 도시된 바와 같이 필드산화막의 표면에 삼(24)이 형성되는데, 삼(24)이 형성되는 경우 후속 게이트전극층을 형성하는 공정에서 게이트 홀리 브리지(bridge)가 형성될 수 있다. 또한, 트렌치에 산화막을 채워 필드산화막을 형성한 후 기판의 활성영역을 한정하는 HTO 막 및 나이트라이드막을 제거하는 공정과 이어지는 세정공정에서 트렌치를 채운 산화막과 나이트라이드막사이의 식각률차이에 의해 기판의 활성영역과 필드영역의 경계 부분이 손상되어 도 4에 도시된 바와 같이 두 영역의 경계부분에 함몰부(26)가 형성된다. 이러한 함몰부(26)는 게이트 전극층을 식각하는 공정에서 스트링어(stringer)(26)가 남을 수 있다. 이러한 스트링어(26)는 후속공정에서 제거기로 사용될 수 있으며 소자간의 절연성을 약화시키거나 이 부분을 통해서 누설전류가 흐를 수 있다.

STI방식으로 형성된 필드산화막의 다른 문제점으로는 도 5에 도시된 바와 같이 게이트 전극층(도시되지 않음)이 형성된 결과물 전면에 측간절연막(28)을 형성한 다음 기판(18)의 활성영역에 콘택홀(30)을 형성하는데, 콘택홀(30)이 필드산화막(22)의 일부를 포함하는 경우이다. 이때, 콘택홀(30)을 형성하는 과정에서 콘택홀(30) 형성영역에 포함된 산화막(22)이 식각되며 산화막(22)의 절연성을 약화시킬 수 있다. 또한, 콘택홀(30)에 도전성 플러그(32)가 형성되는 경우 기판(18)의 활성영역뿐만 아니라 활성영역과 접촉되어 있는 트렌치(20)에 채워진 산화막(22)과도 직접 접촉되게 되므로 누설전류가 발생할 수 있다. 따라서 반도체장치의 동작의 정확성이 결여될 수 있고 신뢰성이 저하되는 결과를 가져올 수 있다.

본 발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 이러한 문제점을 해결하기 위해 반도체장치의 고집적화를 적극 수용할 수 있으면서 콘택의 미스알라인에 대해서는 소자분리능의 손상을 방지할 수 있는 충분한 내 식각성을 갖는 높은 소자분리능을 갖는 반도체장치를 제공함에 있다.

본 발명의 다른 목적은 상기 높은 소자분리능을 갖는 반도체장치를 제조하는 방법을 제공함에 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치는 반도체기판; 상기 반도체기판의 한정된 영역상에 소정의 높이를 갖는 실리콘층 패턴; 및 상기 실리콘층 패턴 사이의 상기 반도체기판의 전면에 상기 실리콘층 패턴과 동일한 높이로 형성되어 있고 상층부로 갈수록 식각선택비가 점점 우수해지며 특히 상층부는 상기 실리콘층 패턴보다 식각 선택비가 우수한 다층 절연막 패턴을 구비하는 것을 특징으로 한다.

상기 다층 절연막 패턴은 제1 절연막 패턴과 상기 제1 절연막 패턴 상에 형성된 제2 절연막 패턴으로 구성된다.

상기 제1 및 제2 절연막 패턴은 각각 산화막 패턴과 나이트라이드막 패턴이다.

상기 다층 절연막 패턴 사이의 기판 전면에는 활성영역이 되는 에피택시(epitaxy) 성장된 실리콘층 패턴이 상기 다층 절연막의 높이만큼 형성되어 있다.

제2 절연막 패턴은 식각저지층이다.

상기 다른 목적을 달성하기 위하여, 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치 제조방법은 (a) 반도체기판상에 상기 반도체기판의 필드영역을 한정하고 상부 물질막이 하부 물질막보다 식각선택비가 우수한 다층 절연막 패턴을 형성하는 단계; (b) 상기 기판의 전면에서 자연산화막을 제거하는 단계; 및 (c) 상기 다층 절연막 패턴 사이의 기판의 전면에 실리콘층 패턴을 상기 다층 절연막 패턴의 높이로 형성하는 단계를 포함한다.

상기 (a) 단계는 (a1) 반도체기판의 전면에서 제1 절연막을 형성하는 단계; (a2) 상기 제1 절연막의 전면에서 상기 제1 절연막보다 식각선택비가 우수한 제2 절연막을 형성하는 단계; (a3) 상기 제2 절연막의 상기 반도체기판의 필드영역에 대응하는 영역상에 식각방지막 마스크 패턴을 형성하는 단계; (a4) 상기 마스크 패턴을 이용하여 상기 제2 절연막의 노출된 전면과 상기 제1 절연막의 대응하는 부분을 기판의 계면을 식각종말점으로하여 식각하는 단계; 및 (a5) 상기 마스크 패턴을 제거하는 단계를 포함한다.

상기 제1 절연막은 열산화막 또는 적층된 산화막으로 형성한다.

상기 제2 절연막은 나이트라이드막으로 형성한다.

상기 식각방지막 마스크 패턴은 감광막 패턴임하여 형성한다.

상기 기판에 형성되어 있는 자연산화막은 불화물(HF)을 사용하는 습식식각방식으로 제거한다.

상기 실리콘층은 에피택시로 성장시킨다.

본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치에는 가장자리 디핑이 발생되지 않고 따라서 스트링어가 형성되지 않는다. 그리고 소자분리막에 심이 형성되지 않으므로 게이트 폴리 브리지형 형성되지 않는다. 또한, 콘택 미스얼라인에 의한 콘택홀 형성시 소자분리막이 손상되는 것을 방지할 수 있다. 따라서 소자분리막에서의 누설전류가 발생하는 것을 방지할 수 있다.

이하, 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치 및 그 제조방법을 첨부된 도면을 참조하여 상세하게 설명한다.

도 6은 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치를 나타낸 단면도이고, 도 7 내지 도 9는 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치를 제조하는 방법을 단계별로 나타낸 도면들이다. 그리고 도 10은 본 발명의 실시예에 의한 높은 소자분리능을 갖는 반도체장치에 형성된 미스얼라인 콘택을 나타낸 도면이다.

먼저, 도 6을 참조하여 본 발명의 실시예에 의한 소자분리막을 설명하면, 구체적으로 반도체기판(40) 상에는 소정의 간격으로 이격되어 있는 다층 절연막 패턴(46)이 있고, 그 사이의 상기 기판(40) 전면에는 상기 다층 절연막 패턴(46)과 동일한 높이를 갖는 실리콘층 패턴(48)이 있다. 상기 다층 절연막 패턴(40)은 소자분리막으로서 2개의 절연막, 예컨대, 제1 및 제2 절연막 패턴(42a, 44a)으로 구성되어 있다. 상기 제1 절연막 패턴(42a)은 적층된 산화막 패턴 또는 열 산화막 패턴중 어느 한 물질막 패턴이다. 그리고 상기 제2 절연막 패턴(44a)은 상기 제1 절연막 패턴(42a) 뿐만 아니라 상기 실리콘층 패턴(48)보다 식각선택비가 우수한 물질층 패턴으로서 나이트라이드(Si_3N_4)막 패턴이다. 상기 실리콘층 패턴(48)은 에피택시(epitaxy)성장된 층이다.

이와 같은 구성을 갖는 소자분리막은 소자분리막의 상부가 하부나 인접한 활성영역을 구성하는 물질층에 대해서 내 식각성이 우수하므로 후속 세정공정이나 식각공정등에 의해 소자분리막이 손상되지 않는다.

다음에는 상기 특성을 갖는 높은 소자분리능을 갖는 반도체장치의 제조방법을 설명한다. 구체적으로 도 7을 참조하면, 반도체기판(40)의 전면에서 제1 및 제2 절연막(42, 44)을 형성한다. 상기 제1 절연막(42)은 적층된 산화막 또는 열산화막중 어느 한 물질막으로 형성한다. 그리고 상기 제2 절연막(44)은 상기 제1 절연막(42) 뿐만 아니라 후속공정에서 형성되는 실리콘층보다 식각선택비가 우수한 물질막으로 형성하는데, 예를 들면, 나이트라이드막으로 형성한다.

계속해서 상기 제2 절연막(44) 상의 한정된 영역에는 식각방지막 마스크 패턴(45)을 형성하는데, 상기 마스크 패턴(45)은 감광막 패턴으로서 상기 제2 절연막(44)의 전면에서 감광막을 도포한 후 패턴임하여 형성한다. 상기 제2 절연막(44)의 상기 마스크 패턴(45)에 의해 한정되는 부분에 대응하는 상기 기판(40)의 영역은 바로 필드영역이다.

계속해서 도 8은 상기 기판(40) 상에 다층 절연막 패턴(46)을 형성하는 단계를 나타낸 도면인데, 구체적으로 설명하면, 도 7의 상기 마스크 패턴(45)을 이용하여 상기 제2 절연막(44)과 제1 절연막(42)을 상기 기판(40)의 계면을 식각종말점으로 하여 순차적으로 이방성식각한다. 이어서 상기 마스크 패턴(45)을 제거하면, 상기 반도체기판(40) 상의 상기 마스크 패턴(도 7의 45)에 의해 한정된 영역에는 상기 반도체기판(40)의 필드영역을 한정하고 소자분리막으로 사용되는 제1 절연막 패턴(42a)과 제2 절연막 패턴(44a)으로 이루어지는 다층 절연막 패턴(46)이 형성된다.

도 9는 상기 다층 절연막 패턴(46) 사이의 기판의 전면에서 실리콘층(48)을 형성하는 단계를 나타낸 도면인데, 구체적으로 설명하면, 도 8의 상기 다층 절연막 패턴(46)이 형성된 결과물을 적절한 저압과 실레인(SiH_4)/질소(N_2)분위기유지되는 반응챔버에서 일정시간동안 소정의 온도로 히팅한다. 이 결과 상기 다층 절연막 패턴(46)사이의 기판전면에는 실리콘층 패턴(48)이 형성되는데, 그 두께는 상기 다층 절연막 패턴(46)과 동일한 높이가 되도록 형성한다. 상기 실리콘층 패턴(48)은 반도체소자들이 형성되는 활성영역으로 사용된다.

계속해서 이와 같이 형성된 높은 소자분리능을 갖는 반도체장치에 콘택 미스얼라인이 발생되어 콘택홀을

형성하는 경우를 설명한다. 도 10을 참조하면, 도면으로 도시하지는 않았지만, 상기 실리콘 패턴(48) 상에 트랜지스터와 같은 반도체소자들을 형성한 다음 그 전면에 층간절연막(50)을 형성한다. 그리고 상기 층간절연막(50)에는 상기 실리콘층(48)을 노출시키기 위해 콘택홀(52)을 형성하는데, 상기 콘택홀(52)이 미스 얼라인 되어 상기 실리콘층 패턴(48)과 상기 다층 절연막 패턴(46)중 그에 인접한 절연막 패턴이 일부 노출될 수 있다. 이 경우 상기 다층 절연막 패턴(46)이 종래 기술에 의한 소자분리막이라면, 도 5에 도시한 바와 같이 상기 다층 절연막 패턴(48)은 손상되고 상기 콘택홀(52)에 도전성 플러그가 형성되는 경우 누설전류와 같은 부작용이 발생할 것이다. 하지만, 상기 다층 절연막 패턴(48)은 상술한 바와 같이 상부에 상기 실리콘층 패턴(48)보다 식각선택비가 우수한 물질인 나이트라이드막으로 형성되는 제2 절연막 패턴(44a)이 형성되어 있다. 따라서 상기 콘택 미스얼라인이 발생되고 이에 따라 콘택홀(52)을 형성하는 식각공정에서도 상기 다층 절연막 패턴(46)은 소자분리막으로서 전혀 손상되지 않음을 도 10을 통해서 알 수 있다.

발명의 효과

이와 같이 본 발명에 의한 다층 절연막 패턴을 소자분리막으로 구비하는 반도체장치는 종래 기술에 의한 반도체장치와는 달리 반도체기판에 소자분리막으로서 필드산화막을 구비하는 것이 아니라 반도체기판 상에 적층된 절연막 패턴들로 소자분리막을 구성한다. 특히, 소자분리막의 맨 윗층은 그 아래 층에 있는 절연막이나 인접되어 활성영역으로 사용되는 실리콘층에 비해 식각선택비가 우수한 절연막을 사용하므로 콘택미스 얼라인에 의해 소자분리막의 일부가 포함되는 영역상에 콘택홀이 형성되더라도 소자분리막이 손상되는 것을 방지할 수 있다. 따라서 소자분리막의 절연성이 약화되는 것을 방지할 수 있음은 물론, 소자분리막을 통한 누설전류의 발생을 예방할 수 있다. 또한, 콘택홀 형성공정전에 있을 수 있는 세정공정이나 게이트 적층물의 식각공정에서 소자분리막의 일부영역에 심(seam)이나 함몰부분이 형성되는 것을 방지할 수 있고 따라서 함몰된 부분에 스트림머가 형성되는 것도 방지할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진자에 의하여 실시가능함은 명백하다.

(5) 청구의 범위

청구항 1. 반도체기판;

상기 반도체기판의 한정된 영역상에 소정의 높이를 갖는 실리콘층 패턴; 및

상기 실리콘층 패턴 사이의 상기 반도체기판의 전면에 상기 실리콘층 패턴과 동일한 높이로 형성되어 있고 상층부로 갈수록 식각선택비가 점점 우수해지며 특히 상층부는 상기 실리콘층 패턴보다 식각 선택비가 우수한 다층 절연막 패턴을 구비하는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치.

청구항 2. 제1항에 있어서, 상기 다층 절연막 패턴 사이의 기판 전면에는 상기 다층 절연막 패턴과 동일한 높이를 갖는 에피택시(epitaxy) 성장된 실리콘층 패턴이 있는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치.

청구항 3. 제1항 또는 제2항에 있어서, 상기 다층 절연막 패턴은 제1 절연막 패턴과 상기 제1 절연막 패턴 상에 형성된 제2 절연막 패턴으로 구성된 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치.

청구항 4. 제3항에 있어서, 상기 상기 제1 절연막 패턴이 열산화막 패턴 또는 적층된 산화막 패턴중 선택된 어느 한 물질막 패턴인 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치.

청구항 5. 제3항에 있어서, 상기 제2 절연막 패턴이 나이트라이드막 패턴인 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치.

청구항 6. (a) 반도체기판 상에 상기 반도체기판의 필드영역을 한정하고 상부 물질막이 하부 물질막보다 식각선택비가 우수한 다층 절연막 패턴을 형성하는 단계;

(b) 상기 기판의 전면에서 자연산화막을 제거하는 단계; 및

(c) 상기 다층 절연막 패턴 사이의 기판의 전면에 실리콘층 패턴을 상기 다층 절연막 패턴의 높이로 형성하는 단계를 포함하는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치의 제조방법.

청구항 7. 제6항에 있어서, 상기 (a) 단계는

(a1) 반도체기판의 전면에서 제1 절연막을 형성하는 단계;

(a2) 상기 제1 절연막의 전면에서 상기 제1 절연막보다 식각선택비가 우수한 제2 절연막을 형성하는 단계;

(a3) 상기 제2 절연막의 상기 반도체기판의 필드영역에 대응하는 영역상에 식각방지막 마스크 패턴을 형성하는 단계;

(a4) 상기 마스크 패턴을 이용하여 상기 제2 절연막의 노출된 전면과 상기 제1 절연막의 대응하는 부분을 기판의 계면을 식각중합점으로하여 식각하는 단계; 및

(a5) 상기 마스크 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는

높은 소자분리능을 갖는 반도체장치의 제조방법.

청구항 8. 제7항에 있어서, 상기 제1 절연막이 열산화막 또는 적층된 산화막중 어느 한 물질막으로 형성되는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치의 제조방법.

청구항 9. 제7항에 있어서, 상기 제2 절연막이 나이트라이드막으로 형성되는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치의 제조방법.

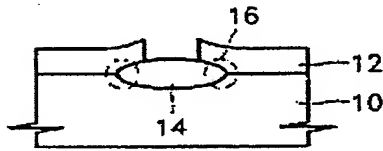
청구항 10. 제7항에 있어서, 상기 식각방지용 마스크 패턴이 상기 제2 절연막 전면에 감광막을 도포한 다음 패터닝하여 형성되는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치의 제조방법.

청구항 11. 제6항에 있어서, 상기 기판에 형성되어 있는 자연산화막이 불화물(HF)을 사용하는 습식식각 방식으로 제거되는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치의 제조방법.

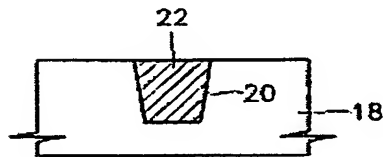
청구항 12. 제6항에 있어서, 상기 실리콘층이 에피택시로 성장되는 것을 특징으로 하는 높은 소자분리능을 갖는 반도체장치의 제조방법.

도면

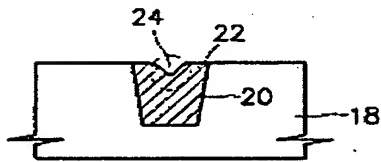
도면1



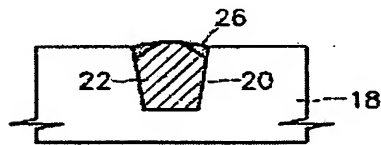
도면2



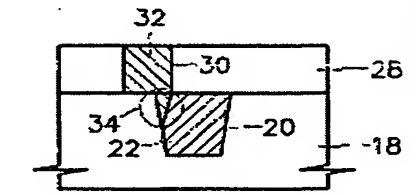
도면3



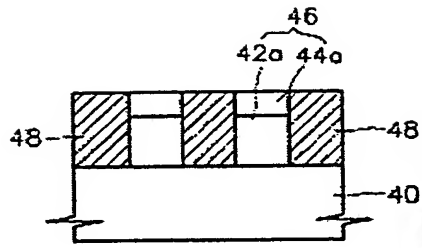
도면4



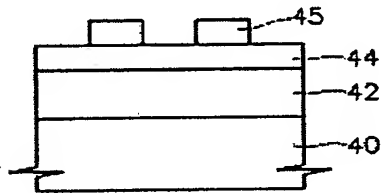
도면5



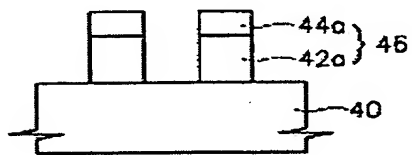
도면6



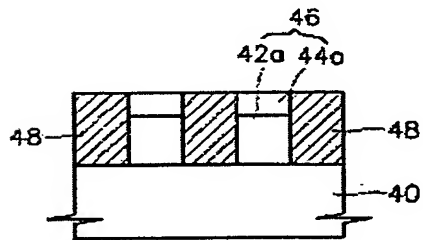
도면7



도면8



도면9



도면10

